

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

11849079

Basic Patent (No,Kind,Date): JP 6163409 A2 19940610 <No. of Patents: 002>

**MANUFACTURE OF SEMICONDUCTOR DEVICE** (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): TAKAYAMA TORU

IPC: \*H01L-021/20; H01L-021/268; H01L-021/324; H01L-021/336; H01L-029/784

CA Abstract No: \*121(22)268471P; 121(22)268471P

Derwent WPI Acc No: \*C 94-228228; C 94-228228

JAPIO Reference No: \*180477E000082; 180477E000082

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 6163409</b>	A2	19940610	JP 92333603	A	19921119
(BASIC)					
JP 3359670	B2	20021224	JP 92333603	A	19921119

Priority Data (No,Kind,Date):

JP 92333603 A 19921119

?

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-163409

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H01L 21/20

H01L 21/268

H01L 21/324

H01L 21/336

H01L 29/784

(21)Application number : 04-333603 (71)Applicant : SEMICONDUCTOR  
ENERGY LAB CO  
LTD

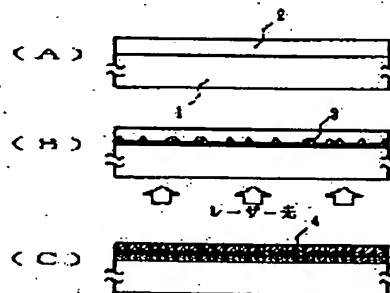
(22)Date of filing : 19.11.1992 (72)Inventor : TAKAYAMA  
TORU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To decrease a temperature of crystallizing treatment to be conducted on a semiconductor in a thin film semiconductor circuit, and to provide a method for formation of a highly reliable crystalline semiconductor.

CONSTITUTION: The side of a substrate 1 of a semiconductor thin film 2 is single-crystallized by allowing a laser to be supplied from the rear or a beam of intensity equal to it is made to be supplied to the amorphous semiconductor thin film 2 such as amorphous silicon and the like formed on a transparent substrate 1, and subsequently, the semiconductor thin film 2 is heat-treated at 400 to 600°C. As a result, the crystallization makes progress using the already recrystallized region as a nucleus, and a uniform crystalline semiconductor can be obtained.



## LEGAL STATUS

[Date of request for examination]	24.03.1998
[Date of sending the examiner's decision of rejection]	15.08.2000
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3359670
[Date of registration]	11.10.2002
[Number of appeal against examiner's decision of rejection]	2000-14595
[Date of requesting appeal against examiner's decision of rejection]	14.09.2000
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-163409

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		9171-4M		
21/268	Z	8617-4M		
21/324	Z	8617-4M		
21/336				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
審査請求 未請求 請求項の数 1(全 5 頁) 最終頁に続く				

(21)出願番号 特願平4-333603

(22)出願日 平成4年(1992)11月19日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 高山 徹

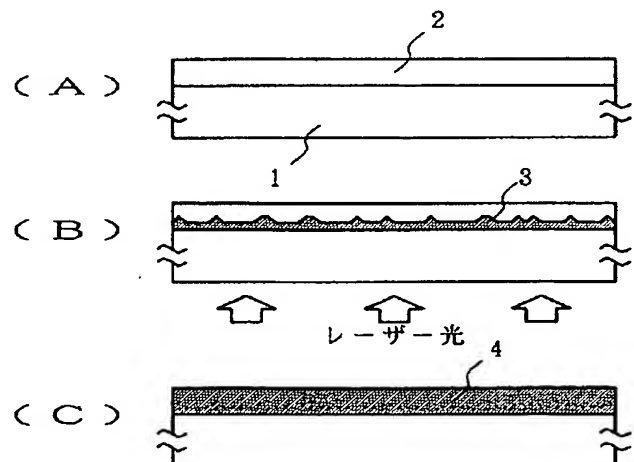
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体装置の作製方法

(57)【要約】

【目的】 薄膜半導体回路において、半導体の結晶化処理温度を低減し、かつ、信頼性の高い結晶性半導体を形成する方法を提供する。

【構成】 透明な基板上に形成されたアモルファスシリコン等の非晶質半導体薄膜に対し、裏面からのレーザーもしくはそれと同等な強光を照射することによって、該半導体薄膜の基板側を結晶化せしめ、その後、該半導体薄膜を400～600℃で処理することにより、先に結晶化された領域を核として結晶化を進行させ、均一な結晶性半導体を得る。



## 【特許請求の範囲】

【請求項1】 透明な基板上に形成されたシリコンを主体とする非晶質半導体薄膜に対し、基板を透過する波長のレーザー光もしくはそれと同等な強光を裏面から照射する工程と、

前記工程終了後、該薄膜を400～600℃の温度にて熱処理する工程とを有することを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜状の半導体装置（MOS型薄膜トランジスタ（TFET）等）の作製方法に関する。

## 【0002】

【従来の技術】 近年、透明なガラス基板上に薄膜状の半導体集積回路を形成する技術が開発され利用されている。このような半導体集積回路において、十分な半導体特性を得るためには、半導体を結晶性のものとしてすることが求められてきた。しかしながら、結晶性の半導体材料を直接成膜することは困難であるので、最初に非晶質の半導体膜を形成し、それを長時間の熱処理もしくはレーザー光、フラッシュランプ等の強光を照射することによって、結晶化させる方法が採用されてきた。

## 【0003】

【発明が解決しようとする課題】 熱処理によって結晶化をおこなう場合には、大雑把に言って2通りの方法がある。1つは1000℃程度の高温で処理する方法で、これは現在のシリコンチップ上の半導体集積回路のプロセスと同じものであり、非常に高い信頼性を得ている。もう1つは600℃程度の中程度の温度で12時間以上の長時間熱処理することによって結晶成長をおこなう方法である。

【0004】 近年は、特に基板の制約から結晶化処理の温度を低下させることが求められるようになってきた。従来、基板としては石英が用いられていた。石英は耐熱性に優れ、1000℃以上もの高温に耐えられるので、高温での結晶化には何ら問題がなかった。しかしながら、石英は大型基板の作製が難しいため、装置の大面积化とともに、コストが急速に増大することが問題であった。

【0005】 これに対して、通常は無アルカリガラス（例えば、コーニング社7059番ガラス）は安価であるが、歪み温度が600℃以下であり、1000℃の高温プロセスが採用できないだけでなく、600℃程度のプロセスでもガラスのちぢみやそりが問題となった。さらに、600℃程度の熱処理ではその処理時間の長さが問題となり、量産コストが高くなるという欠点があった。

【0006】 一方、レーザー光等を照射する方法では、レーザー光の面内でのばらつき、ショット毎のばらつき

等の不安定性のために、十分な信頼性のある結晶性半導体を得ることができなかった。さらに、レーザー光の波長が紫外光であると、シリコンでは吸収長が短いため、50nm程度の深さまでしか結晶化ができなかった。そのため、半導体膜の厚さを50nm以下とすることが求められ、コンタクトホールや金属との良好なコンタクトを形成するプロセスが非常に難しくなった。

【0007】 本発明は、結晶性の均一な信頼性の高い半導体薄膜を600℃以下の低温で、しかも短時間（好ましくは12時間以内）に作製する方法を提供することを目的とする。

## 【0008】

【問題を解決する方法】 本発明は、レーザー光等の強光を非晶質薄膜の基板側（裏面側）から照射することによって、基板に密着した領域の非晶質半導体を結晶化せしめ、さらに、400～600℃での熱処理によって、先に結晶化した領域から結晶を成長させることを特徴とする。本発明の工程の概念図は図1に示される。

【0009】 まず、図1（A）に示すように、基板1上にアモルファスシリコン等の非晶質半導体膜2を100～150nm形成する。この厚さは後に形成する半導体素子の仕様やコンタクトやコンタクトホール形成の際のプロセスに応じて決定すればよい。一般的に、この非晶質半導体膜の厚さが50nm以下では、コンタクトホールを形成した場合に、オーバーエッチングが生じやすく、また、半導体がシリコンであれば、アルミニウムによってコンタクトを形成した場合にはコンタクト部分の合金化によって、シリコン層を突き抜けてしまいコンタクトの信頼性が著しく低下する。

【0010】 次に、図1（B）に示すように裏面からレーザー光等の強光を照射することによって、基板側の非晶質半導体の結晶化をおこなう。領域3はこの工程によって結晶化した部分である。通常のレーザー照射プロセスによる場合と同様に、この工程においても結晶化は均一に行われるわけではなく、図に示すように極めてばらつきが大きい。

【0011】 レーザー光等の波長は、半導体の種類や基板の種類によって選択しなければならない。近赤外線であれば、通常のガラスは透明であるが、半導体がシリコンであれば、ほとんど全ての半導体領域を透過してしまうので、膜全体が結晶化されてしまい、しかも、均一性が極めて悪くなる。そしてこのように、一度、結晶化してしまった半導体膜の結晶性を改良することはほとんど不可能である。

【0012】 したがって、このレーザー照射工程では、基板側の50nm程度の薄い領域だけを主として結晶化させるだけの波長であることが望ましい。例えば、半導体がシリコンであれば、波長400nm以下の光であることが望まれる。

【0013】 レーザーを用いる場合には、連続発振より

## 3

もパルス発振レーザーが好ましい。これは、連続発振レーザーでは、熱の伝導によって結晶化が進行し、薄膜の特定の部分のみ結晶化することが困難であるためである。また、連続的な加熱によって基板から好ましくない不純物が半導体薄膜に進入し、また、基板と半導体膜との間にストレスをもたらすからである。

【0014】具体的には、ArFエキシマーレーザー（波長193nm）、KrFエキシマーレーザー（波長248nm）、XeFエキシマーレーザー（波長350nm）、XeClエキシマーレーザー（波長308nm）等の各種エキシマーレーザーは効率がよく、量産に適している。

【0015】以上のレーザー照射工程（あるいは他の強光照射工程）が終了した後、図1（C）に示すように、400～600℃で0.1～12時間処理することによって、先にレーザー照射によって結晶化した領域を核として、他の非晶質半導体領域が一様に結晶化して、結晶性半導体4となる。この結晶化工程は熱平衡状態によるものである。特に半導体被膜の表面では極めて均一である。したがって、TFTその他の半導体素子に利用するうえで都合がよい。熱結晶の際の雰囲気は酸素、オゾン等の酸化雰囲気あるいは水素原子を含む雰囲気は避けるべきである。これらの雰囲気では結晶化が進行しにくい。窒素やアルゴン、クリプトン、ヘリウム等の不活性な雰囲気でおこなうことが望ましい。また、1torr以下の減圧雰囲気でもよい。特に減圧雰囲気では、半導体薄膜から結晶化の際に障害となる水素や酸素等の原子が排出されるので都合がいい。

【0016】以上が本発明の大雑把な工程であるが、以上の工程は図2に示すような従来の工程とは異なることを注意しておく。すなわち、基板5上の非晶質半導体膜6に図2（B）のように、上面からレーザー照射をおこなって結晶化領域7を形成し、これを核として400～600℃の熱処理をおこなってもほとんど結晶化が進行せず、非晶質領域8が残存してしまう。しかも、この場合にはデバイスで重要な薄膜表面がレーザー照射のばらつきの影響をまともに受けているので信頼性の高いデバイスを形成することができない。特に、パルスレーザーを用いて結晶化をおこなった場合には、レーザー照射の重なった部分の特性がそうでない部分のものと著しく異なることが問題であった。

【0017】図2のように上面からレーザー照射をおこなったものでも、600℃以上の温度で長時間の熱処理をおこなえば結晶化が進行するが、これは表面の結晶化した領域を核としたものではなく、全く独立な結晶化によるものである。

【0018】このような問題に対して、本発明では、デバイスとして利用される半導体表面の結晶性が直接、レーザー結晶化の影響を受けないために、レーザーの重なりや不均一性はほとんど問題とならない。すなわち、本

## 4

発明では、（1）結晶化温度を従来より低くできる、

（2）結晶化時間を短縮できる、（3）結晶性の均一な表面を得られる、という利点を有している。以下に実施例を示す。

【0019】

【実施例】図3に本実施例を示す。コーニング7059基板11上にプラズマCVD法によって下地酸化珪素膜12を厚さ10～50nm形成した。原料ガスとしては、酸素（あるいはオゾン）とテトラ・エトキシ・シラン（TEOS）という組み合わせ、あるいはシラン（もしくはジシラン）と水、という組み合わせを用いた。プラズマCVD法は、成膜速度が早く量産に適しているが、特性のよい下地酸化膜とするには、膜中の水素や炭素の量を十分に減らさなければならない。そのためには400～600℃でのアニール処理その他の処理が必要とされる。そこで、そのような処理を不用するためにスパッタ法を用いてもよい。ただし、スパッタ雰囲気中にアルゴン等の不活性ガスが多いと良好な特性が得られず、一方、雰囲気は酸素過剰であれば特性は良いが、成膜速度が遅いという問題もある。いずれの方法を選択するかは、コスト、量産性と必要な特性を考慮して決定しなければならない。

【0020】その後、減圧CVD法によって、厚さ100～150nmのアモルファスシリコン膜13を形成した。減圧CVD法の代わりにプラズマCVD法やスパッタ法を用いてもよい。膜中に水素が過剰であると、後のレーザー照射の際に水素が膨張するので、300～600℃の温度で十分に水素出しをしておくことが望まれる。

【0021】アモルファスシリコン膜13上には保護のための酸化珪素膜（厚さ10～50nm）14を形成した。この作製方法はスパッタ法でもプラズマCVD法でもよい。また、酸化珪素のかわりに窒化珪素でもよい。この膜の目的は基板のハンドリングの際に、表面から不純物が侵入することを防止することである。

【0022】そして、図3（A）に示すように、裏面からレーザー光を照射した。使用したレーザーはXeFレーザーで、パルス幅は20～40nsecで、エネルギー密度は200～400mJ/cm<sup>2</sup>、好ましくは250～300mJ/cm<sup>2</sup>とした。この工程によって、アモルファスシリコン膜のうち、基板側の約50nmの領域が結晶化したことが確かめられた。

【0023】そして、次に基板を窒素中に400～600℃、例えば550℃で2時間放置し、結晶化を進行させた。また、窒素雰囲気の代わりに雰囲気を10<sup>-4</sup>torr以下の真空状態とした場合には、450℃、30分の加熱でも十分な結晶成長が観測された。この結果、アモルファスシリコン層13はほぼ完全に結晶化した。以上の工程が本実施例におけるもっとも温度の高い工程であるが、いかなるバターニング処理もおこなわれていな

5

いことに注目すべきである。このため、例えばガラス基板の縮み等の問題によるマスクのずれは生じない。

【0024】以上の工程の終了した後、保護の酸化膜14は除去し、さらに、パターニングをおこなって、TFTのアイランド15を形成し、下地酸化珪素膜と同じ方法でゲート酸化膜となる酸化珪素膜（厚さ120nm）16を形成した。そして、図3（B）に示すように、アルミニウムやクロム、タンタル、シリコン等の材料でゲート電極17を形成した。

【0025】そして、ゲート電極をマスクとして自己整合的にイオンドーピング、その他の方法によって不純物イオンをアイランド状シリコンに注入し、不純物領域（ソース、ドレイン）18を形成した。これを図3

（C）に示すように、レーザー照射することによって活性化せしめた。使用したレーザーはKrFレーザーで、エネルギー密度は、200～400mJ/cm<sup>2</sup>、好ましくは250～300mJ/cm<sup>2</sup>とした。

【0026】最後に、プラズマCVD等の方法で、層間の絶縁膜（酸化珪素、厚さ200～500nm）19を形成し、アルミニウム、クロム等の金属材料で、ソース電極20、ドレイン電極21を形成した。コンタクトの信頼性をより向上せしめるためにはアルミニウムの下地に薄い（～50nm）の窒化チタン等を形成するとよい。以上の工程によって、TFTを得ることができた。

【0027】本実施例によって得られたTFTの平均移動度は、Nチャネル型で110cm<sup>2</sup>/Vs、Pチャネル型で80cm<sup>2</sup>/Vsであった。また、そのばらつき（σ）はいずれも10cm<sup>2</sup>/Vs以下であった。このように、本実施例では、極めて信頼性の高いTFTを量産することができた。

【0028】従来、レーザー照射結晶化によって得られたTFTの移動度は高いことが知られていたが、きわめてばらつきの大きいことが問題であった。一方、熱結晶

6

化によって得られたTFTはばらつきは少ないが移動度がNチャネル型50cm<sup>2</sup>/Vs程度と低いことが欠点であった。本実施例では、移動度の高く、しかも、均一性のよい（信頼性の高い）デバイスを容易に作製できた。

【0029】

【発明の効果】以上に示したように、本発明は、特性が良好で、信頼性の高い半導体装置を作製する上で特に有効であることが明らかであろう。しかも、従来の低温熱結晶化の方法に比べて量産性でも優れている。このように本発明は工業上、有益な発明である。

【図面の簡単な説明】

【図1】 本発明の概念図を示す。

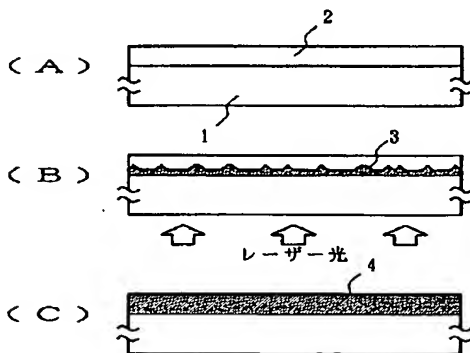
【図2】 従来のレーザー結晶化法の概念図を示す。

【図3】 本発明の実施例を示す。

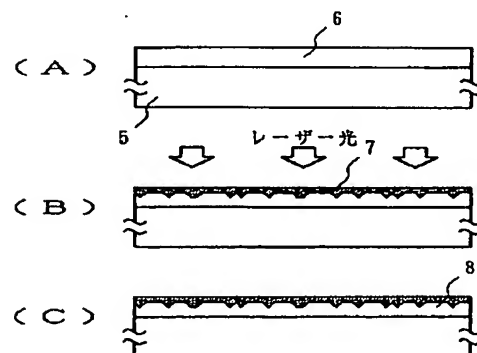
【符号の説明】

- 1、5・・・基板
- 2、6・・・非晶質半導体膜
- 3、7・・・レーザー照射によって結晶化した領域
- 4・・・熱処理によって結晶化した領域
- 8・・・熱処理によっても結晶化しなかった領域
- 11・・・基板（コーニング7059）
- 12・・・下地酸化珪素膜
- 13・・・アモルファスシリコン膜
- 14・・・保護膜（酸化珪素）
- 15・・・TFTアイランド
- 16・・・ゲート絶縁膜（酸化珪素）
- 17・・・ゲート電極
- 18・・・不純物領域（ソース、ドレイン）
- 19・・・層間絶縁物（酸化珪素）
- 20・・・ソース電極
- 21・・・ドレイン電極

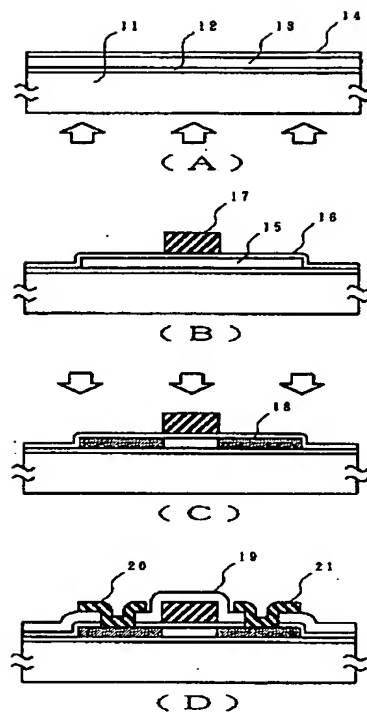
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所